

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-095401

(43)Date of publication of application : 07.04.1995

(51)Int.Cl. H04N 1/40  
G06F 17/10  
G06T 1/00  
// G06T 9/20

(21)Application number : 05-236044

(71)Applicant : CANON INC

(22)Date of filing : 22.09.1993

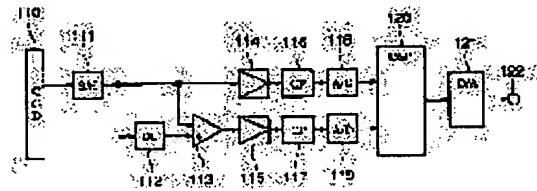
(72)Inventor : OSOZAWA NORIYOSHI

## (54) PICTURE PROCESSOR

## (57)Abstract:

PURPOSE: To realize a high processing speed, a high function, and a high picture quality without requiring a massive picture memory.

CONSTITUTION: Object light is converted to an electric signal by a CCD 110, and it passes a sample and hold (SH) circuit 111, an amplifier 114, and a clamping (CP) circuit 116 and is converted to digital data by an AD converter 118. A difference signal between adjacent picture elements is generated from the electric signal by a delay circuit 112 and a subtractor 113 and passes an amplifier 115 and a clamping (CP) circuit 117 and is converted to digital data by an AD converter 119 and is subjected to picture processing by a DSP 120.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-95401

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 1/40

G 0 6 F 17/10

G 0 6 T 1/00

4226-5C

H 0 4 N 1/40

F

9364-5L

G 0 6 F 15/31

D

審査請求 未請求 請求項の数3 O L (全8頁) 最終頁に続く

(21) 出願番号

特願平5-236044

(22) 出願日

平成5年(1993)9月22日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 遅沢 憲良

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

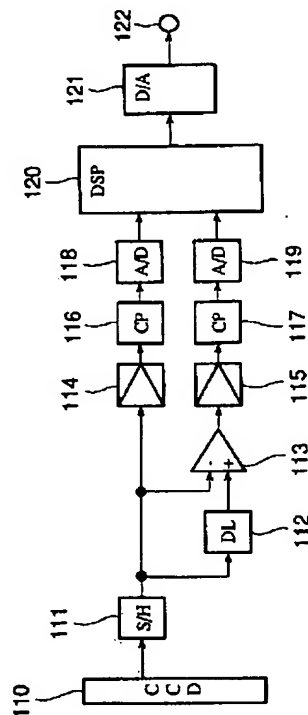
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【目的】 膨大な画像メモリを必要とすることなく、高速化、高機能化、高画質化を実現する画像処理装置を提供する。

【構成】 CCD 110 で被写体光が電気信号に変換され、サンプル・ホールド (SH) 回路 111、増幅器 114、及びクランプ回路 (CP) 116 を経て、AD変換器 118 でデジタルデータに変換されると共に、ディレイ回路 112、引算器 113 で電気信号から隣接する画素間の差信号が形成され、増幅器 115、及びクランプ回路 (CP) 117 を経て、AD変換器 119 でデジタルデータに変換されて DSP 120 で画像処理される。



## 1

## 【特許請求の範囲】

【請求項 1】 被写体光を電気信号に変換する光電変換手段と、  
前記光電変換手段の出力をデジタルデータに変換する第 1 の変換手段と、  
前記光電変換手段の出力から隣接する画素間の差信号を形成するための差信号形成手段と、  
前記差信号形成手段により形成された差信号をデジタルデータに変換する第 2 の変換手段とを備えることを特徴とする画像処理装置。

【請求項 2】 前記光電変換手段は、少なくとも 2 つ以上の出力を有することを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 更に、前記差信号の絶対値を得る絶対値検出手段と、  
前記差信号と基準レベルとを比較する比較手段と、  
前記差信号の周期パターンを検出するパターン検出手段とを備えることを特徴とする請求項 1 記載の画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、原稿上の画像を CCD 等の固体撮像素子により読み取り、AD 変換してデジタル信号処理を行う撮像装置の信号処理方式に関するものである。

## 【0002】

【従来の技術】 従来、固体撮像素子を用いてデジタル信号処理を行う撮像装置として、例えばデジタル複写機、スキャナ、ビデオカメラ等が知られている。特に、デジタル複写機においては高画質化、高機能化、高速化の点でデジタルシステムに対する期待が高まっている。

【0003】 現在、デジタル複写機の特徴としては、以下のような点が上げられる。

コピースピード（枚／分）に応じて信号処理スピードが変わる

原稿の種類（文字、網点、自然画等）に応じて処理を変えることができる

色→パターン変換、文字の網掛け等の特殊処理ができる

また、画像メモリを搭載することにより、更に高度な画像処理（合成、像域分離、画像判別、デジタルノイズリダクション等）や、一度読み取った画像データを画像メモリに蓄え大量のプリントを行うなど高速化や省電力化も可能になってくる。

## 【0004】

【発明が解決しようとしている課題】 しかしながら、上記従来例では、必要とされるメモリ容量は A3 用紙（解像度 400 dpi、RGB 3 色、量子化サイズ 8 ビット）で約 150M バイトという膨大なものになり、コストも膨大なものになってしまう。また、高速化に伴いア

## 2

ナログ信号の SN や AD 変換器の変換スピードや方式等が問題となってくる。

【0005】 本発明は、上記課題を解決するために成されたもので、膨大な画像メモリを必要とすることなく、高速化、高機能化、高画質化を実現する画像処理装置を提供することを目的とする。また、本発明は、高速な AD 変換、SN 比の改善、更に容易な画像判別を可能とする画像処理装置を提供することを目的とする。

## 【0006】

10 【課題を解決するための手段】 上記目的を達成するために、本発明の画像処理装置は以下の構成を備える。被写体光を電気信号に変換する光電変換手段と、前記光電変換手段の出力をデジタルデータに変換する第 1 の変換手段と、前記光電変換手段の出力から隣接する画素間の差信号を形成するための差信号形成手段と、前記差信号形成手段により形成された差信号をデジタルデータに変換する第 2 の変換手段とを備える。

20 【0007】 また好ましくは、前記光電変換手段は、少なくとも 2 つ以上の出力を有する。また好ましくは、更に、前記差信号の絶対値を得る絶対値検出手段と、前記差信号と基準レベルとを比較する比較手段と、前記差信号の周期パターンを検出するパターン検出手段とを備える。

## 【0008】

【作用】 かかる構成において、被写体光を電気信号に変換し、その電気信号をデジタルデータに変換すると共に、電気信号から隣接する画素間の差信号を形成し、その差信号をデジタルデータに変換するように動作する。

## 【0009】

30 【実施例】 以下、図面を参照して本発明に係る好適な一実施例を詳細に説明する。

<第 1 の実施例> 図 1 は、第 1 の実施例による CCD の構造を示す図であり、図 2 はその CCD からの信号を処理する処理回路を示す図である。そして、図 3 は図 2 の各信号のタイミングを示すタイミングチャートである。

【0010】 図 1 において、光電変換素子であるフォトダイオード 101 の各々の画素出力は同時に転送レジスタ 102 に転送され、出力バッファ 103 を介して出力端子 104 から出力される。この CCD は図 2 に示す CCD 110 に相当し、図 3 の 1a に示すような単調に増加する被写体光が照射された場合、CCD 出力は SH 回路 111 により信号成分（図 3 の 1b）が取り出され、ディレイ回路 112 によって更に 1 クロック分遅延される（図 3 の 1c）。

50 【0011】 また、SH 回路 111 は増幅器 114 に出力を提供すると共に引算器 113 の（-）入力に接続される。引算器 113 は SH 回路 111 の出力とディレイ回路 112 の出力との差信号（図 3 の 1d）を形成し、増幅器 115 に供給する。増幅器 114、115 はそれぞれ入力した信号に対し所定のゲインの増幅処理を行

## 3

う。尚、引算器113の出力は、図1中、「\*」で示される画素間の差信号に相当する。

【0012】ここで、図3の1aに示すように被写体光が単調増加する場合、引算器113の出力は一定レベル信号となり、図3の2aに示すように矩形波状の被写体光の場合、引算器113の出力はエッジ部分にパルス状の信号が(+) (-) 両方向に表れる。また、図示していないが、単調減少する被写体光の場合には、引算器113の出力は(-) 方向に一定レベルの信号となることは容易に想像できる。

【0013】次に、図2に示す増幅器116、117以降の処理について説明する。図4は、図2のAD変換器118及び119の変換レンジを表す図である。まず増幅器114で所定の増幅処理が施されたSH回路111の出力信号は、クランプ回路116で図4の(a)に示すAD変換器118の変換レンジマップのa点にクランプされ、AD変換器118でデジタルデータに変換されてDSP120へ供給される。

【0014】また、増幅器115で所定の増幅処理が施された引算器113の出力信号は、クランプ回路117で図4の(b)に示すAD変換器119の変換レンジマップのb点(中点)にクランプされ、AD変換器119でデジタルデータに変換されてDSP120へ供給される。図4では、図3の2aに示した矩形波状被写体光の場合を例に示している。

【0015】更に、図4の(b)において変換レンジをオーバーフロー、アンダーフローした部分には、それぞれオーバーフロービット、アンダーフロービットがAD変換器119からDSP120に供給され、主に文字部分のエッジ強調処理に用いられる。ここで、オーバーフロー、アンダーフローする信号レベルは増幅器115のゲインを調整し、信号レベルを調整することで制御される。

【0016】次に、図2のDSP120の動作を図5に示すDSP120の内部ブロック図を用いて以下に説明

表1

		オーバーフロー、アンダーフロー 検出	
		有り	無し
規則的 エッジパターン	有り	文字(網点)	自然画(網点)
	無し	文字	自然画

【0021】<第2の実施例>次に、図面を参照して本発明に係る第2の実施例を詳細に説明する。図7は、第2の実施例によるCCDの構造を示す図であり、フォトダイオード201の奇数番目の画素出力信号が転送レジスタ205に、偶数番目の画素出力信号が転送レジスタ202に転送され、それぞれ出力バッファ206、203を介して出力端子207、208からODD、EVEN信号として出力される。

【0022】このように、CCDフォトダイオード出力

## 4

する。AD変換器118によって変換された映像信号データはエッジ強調回路131に入力され、AD変換器119より供給されるオーバーフロービット、アンダーフロービットによってエッジ強調処理が施された後、画像処理回路135に供給される。同時に、AD変換器119で変換された差信号データは絶対回路132(以下「ABS回路」と称する)で絶対値が求められ、エッジパターン検出回路133でエッジパターンによる原稿の種類の判別が行われる。その結果に応じてモード変換回路134が画像処理回路135の画像処理を切り換える。

【0017】モード変換回路134からの指示に従って画像処理回路135は処理を行い、その出力データが図2のDA変換器121でアナログ信号に変換され、出力端子122から出力される。次に、ABS回路132及びエッジパターン検出回路133で行われるエッジパターンによる原稿判別方法について説明する。

【0018】図6は、文字、網点、自然画の3種類の原稿と、それぞれの原稿を読み取った時の差分データの絶対値を表す図である。図からも明らかなように、図6の(a)に示す文字原稿ではAD変換器119によってエッジ部分にオーバーフロー、アンダーフローが検出される。図6の(b)に示す網点原稿では、網点で構成されている文字のエッジ部分で文字原稿と同様にオーバーフロー、アンダーフローが検出されると共に、網点の部分に規則的なエッジパターンが検出される。

【0019】そして、図6の(c)に示す自然画原稿では、隣接画素間の相関が非常に高いため、差分データは非常に小さく、文字、網点で見られるような急峻なエッジパターンは少なくなる。従って、第1の実施例においては表1に示すように文字、網点、自然画の3種類の原稿の判別を可能とする。

【0020】

【表1】

を2つに分け転送を行うので、転送レジスタ1本あたりの駆動周波数が第1の実施例に比べて半分になる。従って、多画素化、高速化に適している。図8は、図7のCCDからの信号を処理する処理回路を示す図である。CCD210から同相で読み出されたODD、EVEN信号はSH回路211、212で映像信号成分がそれぞれ取り出された後、引算器213で(EVEN-ODD)信号が作られる。

【0023】この(EVEN-ODD)信号は、図7

## 5

中、「\*」印で示される画素間の差信号であり、アナログ信号の演算処理を行っているので、CCD 210、SH回路 211、212 で発生するランダムノイズに対する SN 比が改善される。SH回路 211 から出力される ODD 信号と、引算器 213 から出力される (EVEN-ODD) 信号は、増幅器 214、215 で所定のゲインの増幅処理が施された後、クランプ回路 216、217 によって所定レベルにクランプされ、AD変換器 218、219 によってそれぞれデジタルデータに変換される。

【0024】ここで、AD変換器 218、219 の変換レートは CCD 210 の画素データレートに対して 1/2 となる。従って、AD変換器の最大変換レートに対し更に高速な信号処理システムの構築が可能になる。また、差信号に対して AD 変換を行うことにより、AD変換器間のオフセット誤差を軽減し、より精度の高い AD 変換システムを構築できる。

【0025】第 2 の実施例においては、AD変換器 218 を 8 ビット、AD変換器 219 を 9 ビットとし、両信号の量子化サイズを同じにすると共に、(EVEN-ODD) 信号の AD 変換時における飽和 (オーバーフロー、アンダーフロー) をなくし、EVEN 信号成分のデータ欠落を防いでいる。図 9 は、AD変換器 218、219 の変換レンジと、信号との関係を示す図である。

【0026】次に、図 8 の DSP 120 の動作を図 10 に示す DSP 220 の内部ブロック図を用いて以下に説明する。AD変換器 218 で変換された ODD 信号データは、マルチプレクサ 232 に入力されると共に加減算器 231 に入力される。また、AD変換器 219 で変換された (EVEN-ODD) 信号データは ABS 回路 (絶対値回路) に入力されると共に加減算器 231 に入力される。

【0027】加減算器 231 は (EVEN-ODD) 信号データの上位 1 ビットが “0” のとき減算、“1” のとき加算処理を行う。加算されるデータは ODD 信号データ 8 ビットと (EVEN-ODD) 信号データの低位 8 ビットであり、その結果は EVEN 信号データとしてマルチプレクサ 232 に入力される。マルチプレクサ 232 では ODD 信号データと EVEN 信号データのスイッチングを行い、フロントダイオードの画素配列通りの映像信号データを作り出し、エッジ強調回路 233 に入力する。

【0028】一方、(EVEN-ODD) 信号データは ABS 回路 235 で絶対値が求められた後、パターン検出回路 237 で原稿画像判別が行われると共に、コンパ

## 6

レータ 236 に入力される。コンパレータ 236 では外部若しくは内部から与えられる文字判定レベルとの比較が行われ、その結果により、エッジ強調回路 233 において映像信号データへのエッジ強調が行われる。

【0029】その後、映像信号データはパターン検出回路 237 での結果によりモード変換回路 238 によって制御される画像処理回路 234 で各種処理が施され、DSP 220 より出力され、図 8 の DA 変換器 221 でアナログ信号に変換され、出力端子 222 より出力される。以上説明したように実施例によれば、より精度の高い AD 変換システムの高速化を可能にする。また、原稿画像の判別を容易にし、より簡単に画質の高い信号処理を行うことができる。

【0030】尚、本発明は、複数の機器から構成されるシステムに適用しても、1 つの機器から成る装置に適用しても良い。また、本発明はシステム或いは装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

## 【0031】

【発明の効果】以上説明したように、本発明によれば、膨大な画像メモリを必要とすることなく、高速化、高機能化、高画質化を実現することが可能となる。また、高速な AD 変換、SN 比の改善、更に容易な画像判別が可能となる。

## 【図面の簡単な説明】

【図 1】第 1 の実施例による CCD の構造を示す図である。

【図 2】第 1 の実施例における信号処理を示す回路ブロック図である。

【図 3】図 2 に示す各信号のタイミングを示すタイミングチャートである。

【図 4】第 1 の実施例における各 AD 変換器の変換レンジを示す図である。

【図 5】第 1 の実施例における DSP の内部ブロック図である。

【図 6】第 1 の実施例における原稿判別の具体例を示す図である。

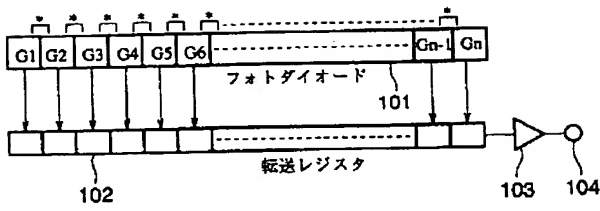
【図 7】第 2 の実施例による CCD の構造を示す図である。

【図 8】第 2 の実施例における信号処理を示す回路ブロック図である。

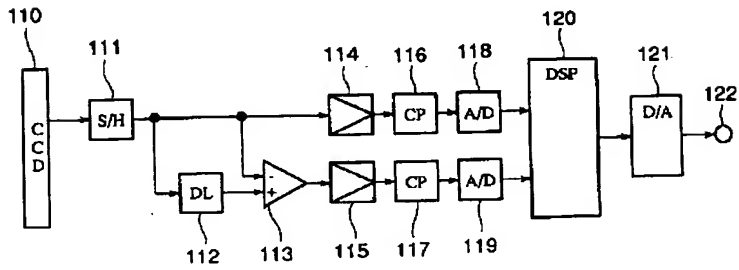
【図 9】第 2 の実施例における各 AD 変換器の変換レンジを示す図である。

【図 10】第 2 の実施例における DSP の内部ブロック図である。

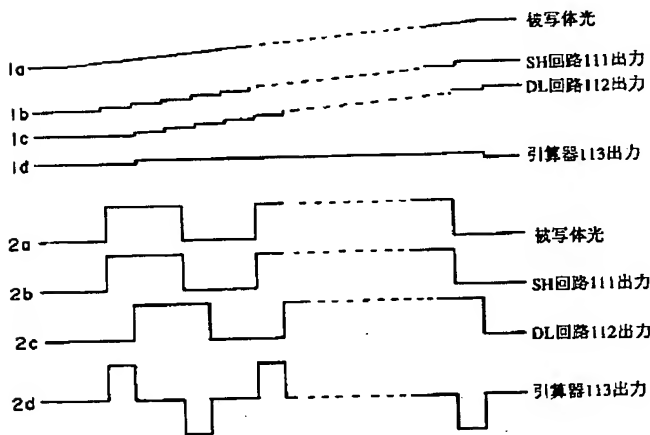
【図1】



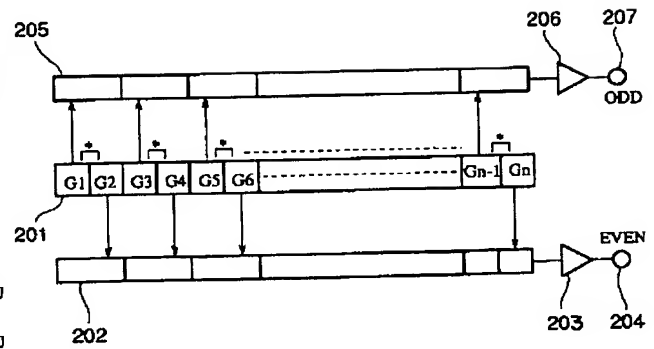
【図2】



【図3】

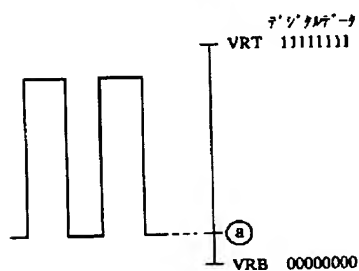


【図7】

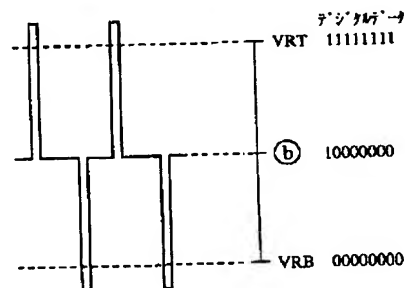


【図4】

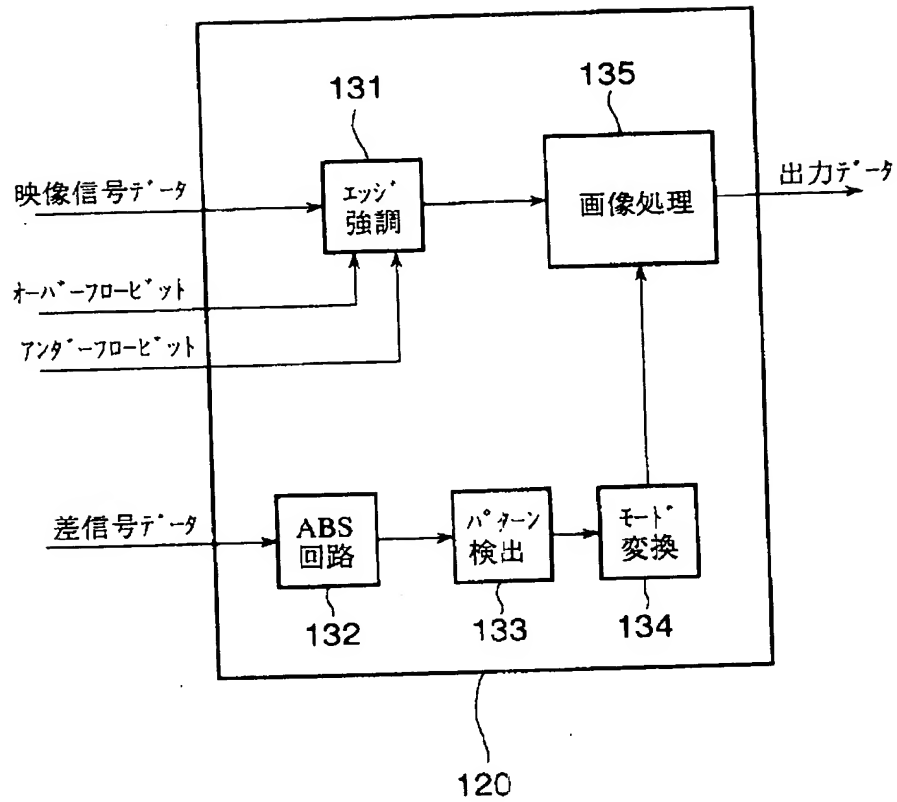
(a) AD変換器118の変換レンジ



(b) AD変換器119の変換レンジ



【図5】

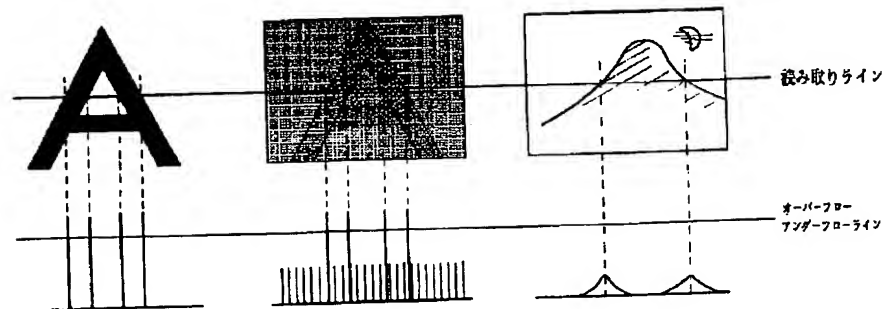


【図6】

(a) 文字原稿

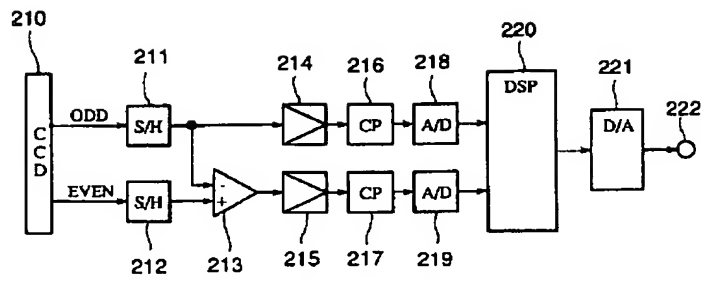
(b) 網点原稿

(c) 自然画原稿



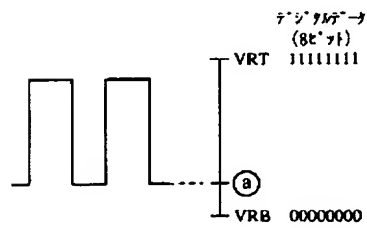


【図8】

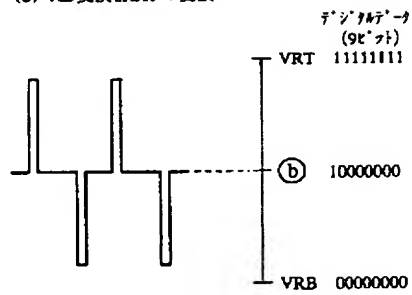


【図9】

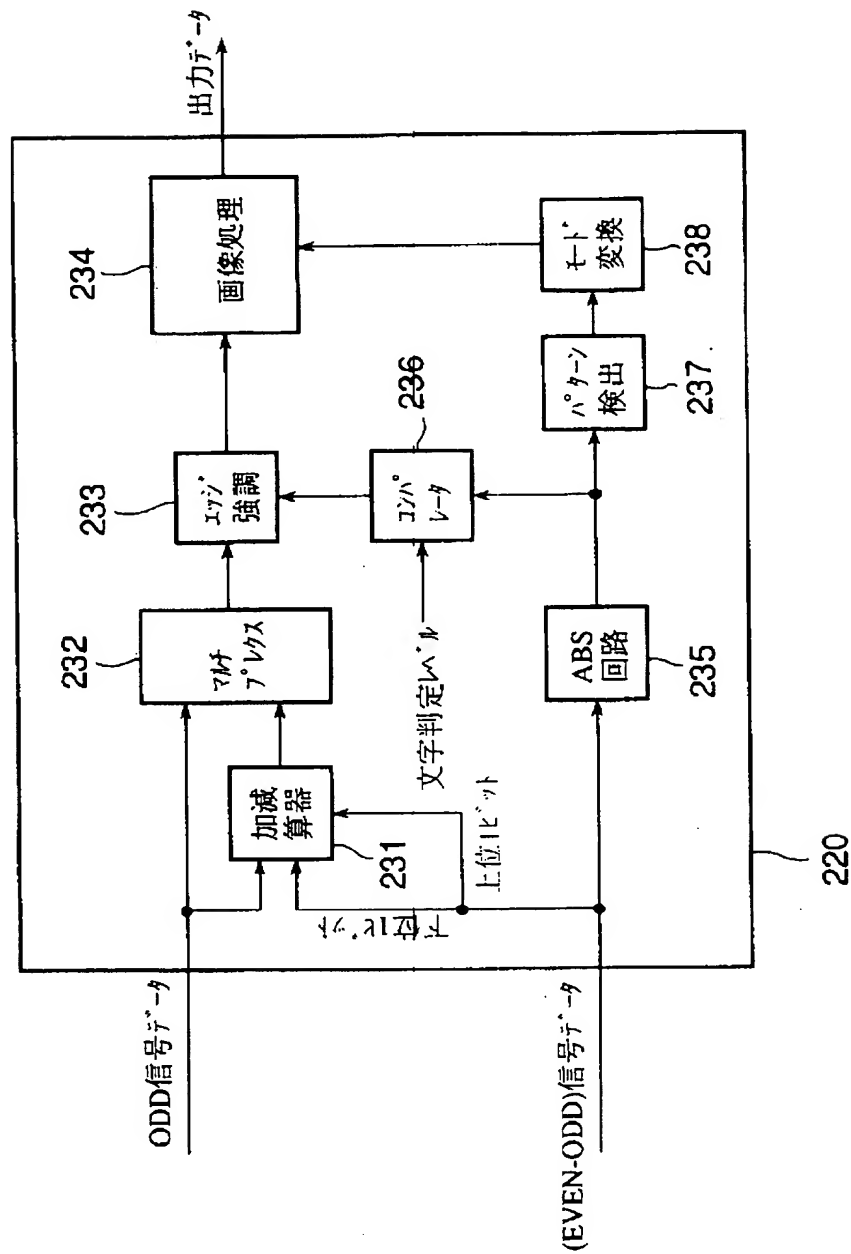
(a) AD変換器219の変換レンジ



(b) AD変換器219の変換レンジ



【図10】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

// G 0 6 T 9/20

識別記号

庁内整理番号

F I

技術表示箇所

7459-5L

G 0 6 F 15/64

15/70

4 0 0 J

3 3 5 A